

② 公開特許公報 (A) 昭60-55459

⑤ Int.CI.

G 06 F 13/16
12/02
12/08

識別記号

厅内整理番号

④公開 昭和60年(1985)3月30日

6974-5B
6974-5B
8219-5B

審査請求 未請求 発明の数 1 (全10頁)

⑤発明の名称 ブロックデータ転送記憶制御方法

⑥特 願 昭58-163161

⑦出 願 昭58(1983)9月7日

⑧発明者 宮崎 義弘 日立市大みか町5丁目2番1号 株式会社日立製作所大み
か工場内

⑨出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑩代理人 弁理士 秋本 正実

明細書

発明の名称 ブロックデータ転送記憶制御方法

特許請求の範囲

1. アクセス元としての主処理装置、入出力処理装置がメモリ制御装置を介し(主)メモリをアクセスし得るよう構成されてなる処理装置におけるブロックデータ転送記憶制御方法にして、不特定転送元メモリエリアに存するブロックデータを同一メモリ内の他のもメモリエリアとしての不特定転送先メモリエリアに転送記憶する要求がアクセス元に生じた際、該アクセス元は転送元、転送先のメモリエリアのアドレス上での大小関係の判定結果に応じ転送元、転送先のメモリエリアの先頭アドレスあるいは末尾アドレスを転送元、転送先のアドレスとしてアドレス更新コード情報、転送回数とともにメモリ制御装置に転送する一方、該制御装置は転送元メモリエリアからの読み出データの転送先メモリエリアへの転送記憶を行なう間に転送元、転送先のアドレスを、転送記憶回数が上記転送回数に一致するまでの間上記アドレス更新

コード情報の指定する方向に更新することによつて、転送元メモリエリアからのブロックデータの転送先メモリエリアへの転送記憶を制御することを特徴とするブロックデータ転送記憶制御方法。
 2. 主処理装置によるメモリアタマスがヤツシニメモリを介して行なわれる場合、ヤツシニメモリは自己内に記憶されているデータ対応の(主)メモリ上アドレスの各々とメモリ制御装置からの転送先アドレスとを転送記憶が行なわれている間比較監視し、アドレス一致が検出された場合には該アドレス対応のデータを無効として処理する特許請求の範囲は1項記載のブロックデータ転送記憶制御方法。

発明の詳細な説明

〔発明の利用分野〕

本発明は、同一メモリ内にあるメモリエリアに記憶されているブロックデータが他のメモリエリアに高速に転送記憶されるようにしたブロックデータ転送記憶制御方法に関するものである。

〔発明の背景〕

同一メモリにおいて、あるメモリエリアに記憶されているブロックデータを他のメモリエリアに転送記憶させることができなくて必要となつてゐるが、転送記憶を高速に行ない得ないでいるのが現状である。ここにいうブロックデータの転送記憶とは、一般に第1図に示すようにメモリ1におけるアドレスAよりアドレスBに亘つて逐段的に何等かの属性をもつデータ群がブロックデータとして記憶されている場合において、そのブロックデータを他のメモリエリアであるところのアドレスA'よりアドレスB'に亘つて所定アドレス順に記憶せしめることをいう。アドレスAにかけたデータはアドレスA'に、また、アドレスBにかけたそれはアドレスB'といつた具合に転送記憶されるものである。このようなブロックデータの転送記憶は多種の処理分野において必要となつてあり、特に文字処理、会話端末処理、CAD(Computer Aided Design)、ファイル管理などの分野でその必要性が高まつてゐる。例えばCRTなどのディスプレイ装置にて表示画面の修正を行

う場合、特に行の挿入や削除、位置の変更などを行なう場合には80バイト程度のブロックデータの転送記憶が頻度大にして行なわれるものとなつてゐる。

ここで本発明の前提に係る処理装置の一般的な全体構成は第2図に示すようである。

これによると(主)メモリ(主記憶装置)1はプログラムやデータを格納するためのもので、インタリープによりスループットの向上を図るべくメモリ1は複数設けられるものとせつてゐる。メモリ1に対する書き込みやメモリ1からの読み出しが別途はメモリ副御装置2がメモリバス6を介し行なうものとなつてゐる。メモリ副御装置2はバス7に接続されるが、バス7には入出力処理装置3の他、主処理装置4がキヤンシユメモリ3を介し接続されるようになつてゐる。キヤンシユメモリ3は主処理装置4からのメモリ読み出要求に対してはその要求に係るデータが自己内に記憶されているか否かを判定し、自己内に記憶されている場合はそのデータを自己内より読み出して主処理装置4に供

転送するようになつてゐる。自己内に記憶されていない場合はメモリ副御装置2を介してそのデータをメモリ1より読み出したうえ主処理装置4に転送すると同時に、自己内に記憶するものとなつてゐる。また、主処理装置4からのメモリ書き込み要求に対してはキヤンシユメモリ3はその書き込みアドレスに係るデータが自己内に記憶されている場合はその書き込みアドレスにおけるデータを書き込みデータとなるべく置換変更し、また記憶されているか否かとは無関係にそのデータをメモリ副御装置2を介しメモリ1に書き込むようになつてゐる。更にキヤンシユメモリ3は入出力処理装置3からメモリ副御装置2に転送されるアドレス信号を監視するものとなつており、書きが行なわれたアドレスに対するデータが自己内に記憶されている場合にはそのデータを無効化するものとなつてゐる。

このようにしてなる処理装置にてブロックデータ転送記憶を高速に行なう方法として、これまで以下のようなものが知られている。

即ち、第1の方法としては、アクセスマ(主処

理装置4)よりメモリ副御装置2内に転送元アドレス、転送先アドレスおよび転送階数を転送記憶させ、しかる後メモリ副御装置2がそれらアドレスを増加方向に更新しつつ、しかも転送階数を減少させつつブロックデータの転送記憶を行なわんとするものである。しかしながら、この方法による場合は、転送元アドレス、転送先アドレスともに増加させる方向でブロックデータの転送記憶が行なわれることから、転送元メモリエリアと転送先メモリエリアが一部でも重複しない場合は別にして、重複する場合には不具合を生じることになる。例えば第3図に示す如く転送元メモリエリア(アドレスA～B)と転送先メモリエリア(アドレスA'～B')とが一部重複する場合において、アドレスAにおけるデータをアドレスA'に転送記憶しようとなれば、アドレスA'におけるデータは転送元メモリエリア内のものとして後に転送記憶されるべきものであるにも拘らずその内容が変更されてしまうことになるものである。また、この方法においてはメモリ1とメモリ副御装置2

との間に転送記憶処理が実行されるだけであるから、転送元メモリエリアに含まれるデータのデータが転送記憶前にキャッシュメモリ3に記憶されても転送記憶中ににおいてキャッシュメモリ3は何等の処理も與り得なく、したがつて、転送記憶はキャッシュメモリ3上にかけるメモリ1上のデータとメモリ1上のデータとは一致しなくなることは明らかである。

第2の方法としては、主処理装置4が同時に複数のデータを転送するべきデータを転送元メモリエリアより順次読み出す一方、読み出されたデータがある時間遅れを以てインタリーブによりメモリ1に書き込むようにするというものである。この方法においては戻出、書込の動作とアドレスの更新は主処理装置4の主導によって行なわれ、また、読み出されたデータは主処理装置4を介して書き込データとしてメモリ1方向に転送されるが、このようにしてブロックデータの転送記憶を行なう場合には、全てのデータ転送経路部分のうち最もスループット

の高いものによってブロックデータの転送速度が定められてしまうことになる。一般に高速処理を目的とした処理装置では通常メモリ1自身のスループットは主処理装置4とメモリ1との間でのデータ転送のそれの2倍以上あるが、この方法ではその高いスループットを活かし得ないものとなっている。

最後に第3の方法として入出力処理装置5にメモリ1と入出力出入口間のデータ転送だけではなく、メモリ1相互間のデータ転送をも行なわし主処理装置4の負担を軽減させると考えられている。しかしながら、この方法による場合は入出力処理装置5は転送元、転送先のアドレスを増加するようにしてアドレスを更新しつづブロックデータの転送記憶を行なうことから、メモリエリアの位置如何によつて第1の方法の場合と同様な不具合を生じることになる。また、この方法による場合は入出力処理装置5は主処理装置4からの指令を受けて転送記憶を制御、実行するが、転送されるデータが数十バイト程度と小さい場合には

主処理装置4が他のプログラムを切換実行するまでにデータ転送記憶が終了してしまい、データ転送記憶の高速化は実現あるものとはなつていないので実状である。

〔発明の目的〕

本発明の目的は、同一メモリ上においてメモリエリアが一層重複する場合であつても重複の順序如何を問わず、あるメモリエリアに記憶されているブロックデータが他のメモリエリアにアクセス元に負担をかけることなく高速に転送記憶されるブロックデータ転送記憶装置方法を供するにある。

〔発明の概要〕

この目的のため本発明は、メモリ制御装置がアクセス元よりメモリエリアの先頭アドレスあるいは末尾アドレスとしての転送元アドレス、転送先アドレスの他、転送手段およびアドレス更新モード情報を受けた場合には、転送元、転送先のアドレスをアドレス更新モード情報に応じた方向に更新するようにしてブロックデータを同一メモリ上で転送記憶せしむるにしたものである。アクセ

ス元では転送元先頭アドレスが転送先先頭アドレスより大である場合には転送元、転送先のアドレスとして転送元先頭アドレス、転送先先頭アドレスを、また、アドレス更新モード情報として増加指定モードをメモリ制御装置に転送する一方、逆の場合にはアクセス元より転送元、転送先のアドレスとして転送元末尾アドレス、転送先末尾アドレスが、アドレス更新モード情報としては減少指定モードがメモリ制御装置に転送されるようにしたものである。

〔発明の実施例〕

以下、本発明を第4図から第11図により説明する。

第4図は本発明に係るメモリ制御装置の接続構造をキャッシュメモリ1、メモリ2とともに概略的に示したものである。アクセス元としてのキャッシュメモリ3または入出力処理装置5からの転送元アドレス、転送先アドレス、転送手段およびアドレス更新モード情報はバス7を介しメモリ制御装置2に取り込まれたりえ転送元アドレスカウンタ

202、転送先アドレスカウント203、アドレス更新モード指定レジスタ(1ビット)201にセットされるようになつてある。図示されていないうが転送回数は別に設けられているが転送回数カウントにセットされるものとなつてある。しかし、レジスタ201によつてカウント202、203のカウントモードを指定し、メモリ1にかける転送元メモリエリアよりアドレス単位にデータを読み出した後に即そのデータを転送先メモリエリアに書き込む度にカウント202、203を更新するようすれば、転送元メモリエリアにかけるプロンクデータは高速にして転送先メモリエリアに転送記憶されるものである。転送回数がセットされる機転送回数カウントはデータが転送記憶される度にクリアメントされ、そのカウント値が零となつた時点で転送記憶は終了されるところとなるわけである。ところで、転送記憶が行なわれれば、転送先メモリエリアにかけるデータは転送記憶の前と後ではその内容が変更されることになるから、もしもヤツシユメモリ3が転送先メ

モリエリアに記憶データを記憶している場合には不整合を生じることになる。ヤツシユメモリ3におけるヤツシユ無効化回路31については特開昭57-122153号に開示されているが、これによつてカウント203からのアドレスを監視することによつて、そのようを不整合が生じさせないようにしている。即ち、自己内に記憶されているデータ対応のメモリ1上アドレスの名とカウント203からのアドレスとを比較監視し、アドレスの一一致が検出された場合にはそのアドレス対応のデータを無効をものとして処理しているわけである。

第5図はそのメモリ制御装置の一例での具体的構成を示したものである。これによるとメモリ制御装置はバス占有制御回路としてバス占有選択回路205を、また、通常のメモリアクセス制御回路としてファンクションレジスタ209、アドレスレジスタ208、寄込データレジスタ207、送出データレジスタ211およびメモリアクセス制御回路210を有するものとなつてある。更に

プロンクデータ転送回路としては既述の転送元アドレスカウント202、転送先アドレスカウント203、我転送回数カウント204、アドレス更新モード指定レジスタ201の他に、プロンクデータ転送制御回路206を有するものとなつてゐる。なお、第5図における符号212～222はゲートであり、その通過制御はメモリアクセス制御回路210やプロンクデータ転送制御回路206によつている。

さて、上記のようにしてなるメモリ制御装置の動作を説明すれば以下のようなである。

まず通常のメモリ送出のアクセス動作は、アクセス元としてのヤツシユメモリまたは入出力処理装置よりバス占有要求234がバス占有選択回路205に出力されることによつて開始されるものとなつてゐる。第6図はこのメモリアクセス動作時の実際入出力信号、入出力データを示したものである。バス占有要求234はアクセス元対応の信号線を介しバス占有選択回路205に入力されるが、バス占有選択回路205にはこの他メ

モリアクセス制御回路210、プロンクデータ転送制御回路206からのバス占有要求239、237が入力されるようになつてゐる。バス占有選択回路205はバス占有要求があつた場合にはその内のか1つを選択したうえバス占有許可を与えるべく機能する。バス占有許可235はアクセス元に対して、また、バス占有許可238、236はそれぞれメモリアクセス制御回路210、プロンクデータ転送制御回路206に対して与えられるが、第6図はアクセス元からのバス占有要求234に対してバス占有許可235が与えられる場合を示しているものである。

バス占有許可235を受けたアクセス元はこれにより初めてバスを占有することが可能となり、ファンクション信号231およびアドレス信号232を転送するところとなるものである。これら信号はメモリ制御装置内のファンクションレジスタ209、アドレスレジスタ208にセットされるが、メモリアクセス制御回路210によつてファンクション信号231の内容がメモリ送出ア

クセスであるとデコードされた場合には、メモリに対し読み出セードのメモリアクションレジスタ241とメモリアドレス信号242が与えられるようになつてゐる。一方、メモリではそれら信号にもとづいて読み出されたデータはメモリデータ243としてメモリ応答240に同期して出力されるようになつてゐる。メモリからメモリデータ243は一旦読み出セータレジスタ211にセットされるが、メモリ応答240にもとづきメモリアクセス制御回路210からはバス占有要求239がバス占有選択回路205に出力されるものとなつてゐる。これに応じてバス占有選択回路205が選択の結果バス占有許可238を与えた場合にはメモリアクセス制御回路210は読み出セータレジスタ211の内容をデータ233としてバス上に出力する一方、アクセス元識別情報応答230としてアクセス元に出力するようになつてゐる。アクセス元ではそのアクセス元識別情報より自分が指定されていることを検出した場合には、そのデータ233を初めて取り込むようになつてゐる

わけである。

メモリに対する通常の読み出アタセスは以上のようであるが、これよりして通常の書き込みアタセスも同様にして行なわれることとなる。

次にプロックデータの転送記憶について説明する。第7図はその起動時での動作を中心にして示したものである。これによる場合アタセス元より通常のメモリアクセスと同様のバス占有プロトコルをふんでファンクションレジスタ209、書き込みデータレジスタ207にはそれぞれアタセス元からのファンクション信号231、データ233がセットされるようになつてゐる。ファンクションレジスタ209の内容をデコードすることによって転送元アドレスの書き込み要求などをプロックデータ転送制御回路206が検出した場合には、書き込みデータレジスタ207の内容は転送元アドレスカウンタ202にセットされ、また、応答230がアクセス元に返送されるようになつてゐる。これによりアクセス元は次には上記の場合と同様にして転送先アドレスを転送先アドレスカウンタ

203にセットした後は、転送回数およびアドレス更新モード情報を複数回数カウンタ204、アドレス更新モード指定レジスタ201に順次セットするとところとなるものである。この場合アタセス元からの転送回数およびアドレス更新モード情報のセット要求はまたプロックデータ転送記憶開始要求を含めていることから、プロックデータ転送制御回路206は転送回数およびアドレス更新モード情報のセット終了後に直ちにプロックデータの転送記憶を開始するところとなるものである。転送記憶については詳細に説述するところであるが、転送記憶が終了すればプロックデータ転送制御回路206からはその旨の応答230がアタセス元に返送されるようになつてゐる。したがつて、アタセス元にとつては通常の書き込みアタセスと全く同様なアタセスを3回連続的に行なつた後は、転送記憶の終了した旨の応答を受けるだけで済まされるから、負担少なくてプロックデータの高速転送記憶を行ない得るものである。

ここで第8図により書き込みデータレジスタと複数

転送回数カウンタ、アドレス更新モード指定レジスタとの関係を説明する。アタセス元からのデータ233は例えば32ビットとされるが、アドレス更新モード情報および転送回数はアタセス元より本例では同時に転送されるようになつてゐる。このうち、アドレス更新モード情報は1ビットで十分であるから、残り31ビットを転送回数用として使用可であるが、本例では1箇32ビットとして最大255箇1回で転送記憶されるようにしてゐる。転送回数用として8ビット割当しているものであるが、これに固定されるものでないことは勿論である。

さて、プロックデータの転送記憶が如何にして行なわれるかを第9図により説明する。

アタセス元からの転送回数およびアドレス更新モード情報がセットされたならば、プロックデータ転送制御回路206は先ずバス占有要求237をバス占有選択回路205に出力するようになされる。これに対する有許可236が得られたならば次に転送先アドレスカウンタ203の内容がアド

レス信号232とし、また、これに同期して最初のデータに対する伝送記憶が行なわれたことを示すファンクション信号231が送出される。これによりキャッシュメモリではキャッシュ無効化機構によつて必要に応じデータの無効化が行なわれるものである。一方、これに並行して、プロファクデータ伝送制御回路206はメモリファンクション信号241を読みモードにして伝送元アドレスカウンタ202の内容をメモリアドレス信号242としてメモリに出力することによつて、メモリよりメモリアドレス信号242に対応するデータをメモリデータ243として読み出さようになつている。この場合メモリデータ243はバス上に一定時間存在すべくメモリより読み出されるとから、メモリ応答240が得られてからメモリファンクション信号241を書きモードにして伝送先アドレスカウンタ203の内容をメモリアドレス信号242として出力するようになれば、メモリデータ243は伝送先メモリエリアに伝送記憶されるところとなるものである。したがつて、

伝送記憶カウンタ204の内容が零となるまでの間、1つのデータに対する伝送記憶が終了する度に現伝送記憶カウンタ204の内容をクリアし、しかも伝送元、伝送先のアドレスカウンタ202、203を所定に更新したうえ上記動作を繰り返すようになればよいものである。

図10はアドレス更新モード指定レジスタ201によつてアドレスカウンタ202、203が如何に制御されるかを示したものである。アドレスカウンタ202、203は何れもプリセット可とされた可逆カウンタとされ、ともにカウントアップ動作をするかカウントダウン動作をするかはアドレス更新モード指定レジスタ201としてのクリップフロップの出力状態によつている。セント出力246、リセット出力245によつてアドレスカウンタ202、203より発生されるメモリアドレス信号242の更新方向を制御するものである。本例ではセント状態にある場合はカウントダウン制御されるようになつている。なお、アドレス更新タイミング信号247はプロファクテ

ータ伝送制御回路206がデータ伝送記憶に伴うメモリ応答240にもとづいて作成するものである。

最後にプロファクデータ伝送記憶に関係するマイクロプログラムのフローについて説明する。図11は主処理装置内で実行されるそのマイクロプログラムのフローを示したものである。これによると場合先ビットパターン「000000FF」(16進表示)と伝送端数(DC)とが論理積(AND)されその結果は、テンボラリーワーフレジスタWK1に格納されるようになつている。これは、伝送端数の最大値が「FF」(4ビットで16進表示)であることから、不足であるセミビットを強制的に「0」におく必要があるからである。次に伝送元、伝送先の先頭アドレスがそれぞれテンボラリーワーフレジスタWK2、WK3に格納されたりえその大小関係が判定されるものとなつている。この判定の結果如何によつて伝送元アドレス、伝送先アドレスとして伝送元先頭アドレス、伝送先先頭アドレスか、または伝

送元末尾アドレス、伝送先末尾アドレスがメモリ制御装置に伝送されるものである。伝送元アドレス、伝送先アドレスとして伝送元末尾アドレス、伝送先末尾アドレスが伝送される場合にはテンボラリーワーフレジスタWK1の内容はピクトパターン「80000000」と論理和(OR)されているが、これは、アドレス更新モード情報(F)を「1」とするためである。

不発明は以上のようなものであるが、伝送元メモリエリアと伝送先メモリエリアが完全に一致する場合でも適用し得ることは勿論である。

【発明の効果】

以上説明したように本発明は、伝送記憶の要求が生じたアクセス元からの伝送元アドレス、伝送先アドレス、伝送端数およびアドレス更新モード情報を受けてメモリ制御装置が伝送元、伝送先のアドレスをアドレス更新モード情報に応じた方向に更新するようにしてプロファクデータを同一メモリ上で伝送記憶させるようにしたものである。したがつて、本発明による場合は、同一メモリ上に

において伝送元メモリエリヤと伝送先メモリエリヤとが一回重複する場合でもつても重複の順序如何を問わず、あるメモリエリヤに記憶されているブロックデータがアクセス元に負担をかけることなく他のメモリエリヤに正しく、しかも高速にして転送記憶されるという効果が得られる。特にメモリとメモリ制御装置間のデータ幅を倍の部分よりも大きく広げるだけで高速化が可能であり、また、ブロックデータ転送のためのメモリバスにおけるデータバス占有時間が従来の場合の半分で済ませられ、ブロックデータ転送時のスループット低下が少なくて済むされる。最近ダイナミックRAMではニブルモードサポート（日経エレクトロニクス4月号、昭和58年春版）により遠隔アドレス読み出しが行なわれ、データバスの負荷はアドレスバスの負荷に比して大きく、本発明による効果にはなるものがある。

図面の簡単な説明

第1図は、同一メモリ内での一般的なブロックデータ転送記憶を説明するための図、第2図は、

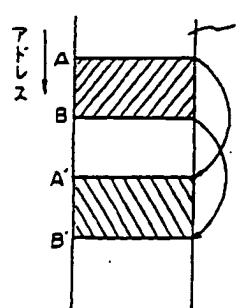
本発明の前提に係る処理装置の一圧力を全体構成を示す図、第3図は、伝送元、伝送先のメモリエリヤが重複する場合での不具合を説明するための図、第4図は、本発明に係るメモリ制御装置の接部構造をキャプシュメモリ、メモリとともに接続的に示す図、第5図は、本発明に係るメモリ制御装置の一例での具体的構成を示す図、第6図は、そのメモリ制御装置での通常のメモリ読み出アクセス動作を説明するための装置入出力信号、入出力データのタイミングを示す図、第7図は、同じくそのメモリ制御装置でのブロックデータ転送記憶動作起動時の動作を説明するための装置入出力信号、入出力データのタイミングを示す図、第8図は、そのメモリ制御装置における寄込データレジスタと既転送数カウンタ、アドレス更新モード指定レジスタとの関係を示す図、第9図は、メモリ制御装置での本発明によるブロックデータ転送記憶動作を説明するための装置入出力信号、入出力データのタイミングを示す図、第10図は、アドレス更新モード情報によつて伝送元、伝送先

のアドレスが如何に更新制御されるかを説明するための図、第11図は、主処理装置内で実行されるブロックデータ転送記憶に關係するマイクロプログラムのフローを示す図である。

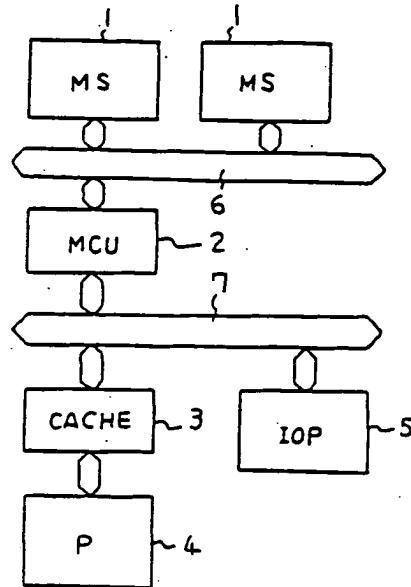
1…(主)メモリ(主記憶装置)、2…メモリ制御装置、3…キャプシュメモリ、4…主処理装置、5…入出力処理装置、201…キャプシュ無効化情報、202…アドレス更新モード指定レジスタ、203…伝送元アドレスカウンタ、204…既転送数カウンタ、205…バス占有選択回路、206…ブロックデータ転送制御回路、207…寄込データレジスタ、208…アドレスレジスタ、209…アンクションレジスタ。-

代理人弁護士秋本正美

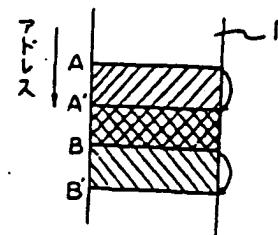
第1図



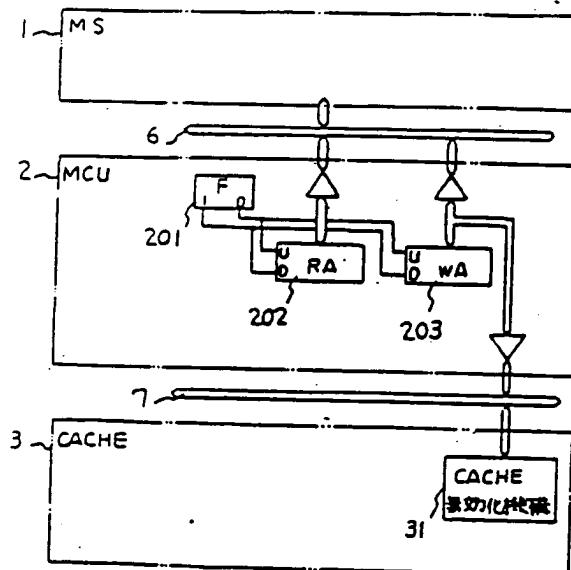
第2図



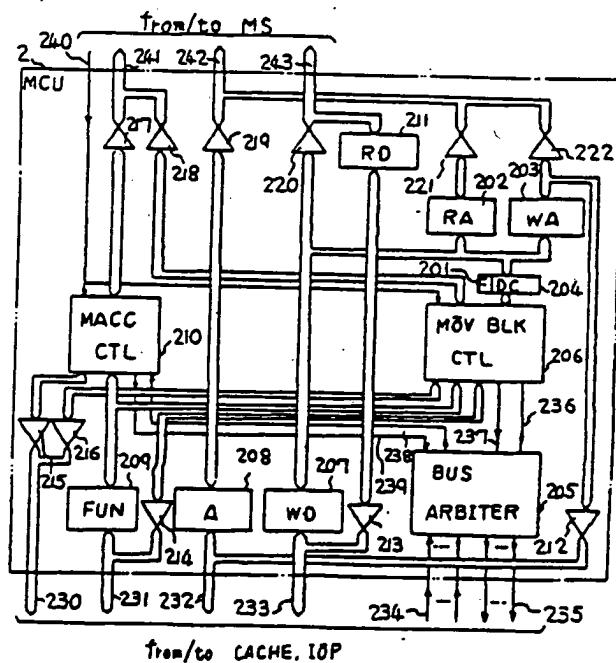
第3図



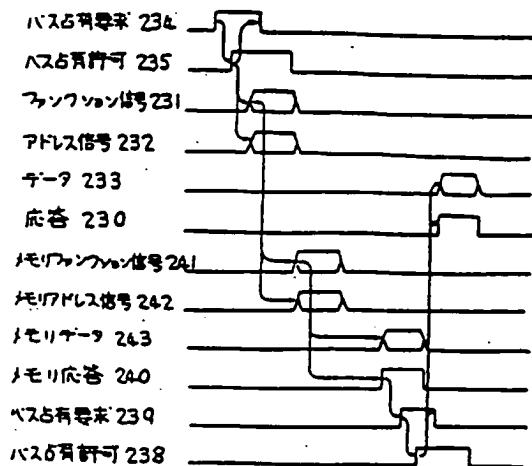
第4図



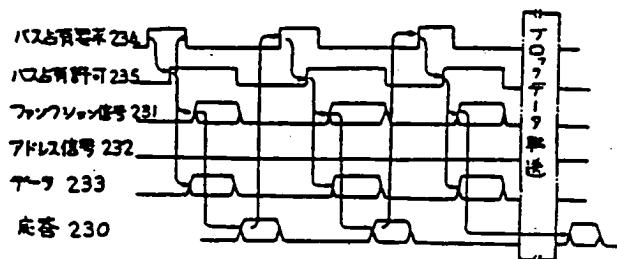
第5図



第6図

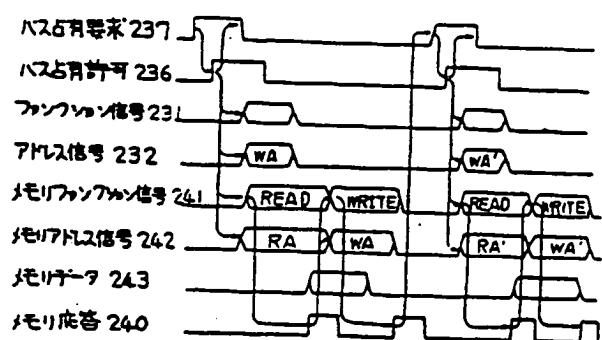
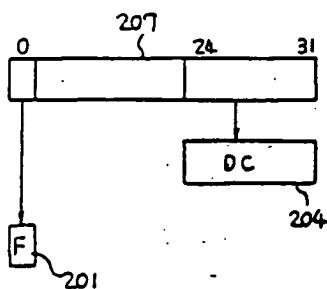


第7図



第9図

第8図



第11図

MOV BK

WK1 ← 第1オペランド(転送先) (AND) (FF000000).

WK2 ← 第2オペランド(転送先先頭アドレス).

WK3 ← 第3オペランド(転送先先頭アドレス).

WK2 < WK3? Yes (アドレス・データ・方との比較)

NO (アドレス・データ・方との比較)

RA ← WK2.

WA ← WK3.

応答門, F&DC ← WK1.

応答門

RA ← WK2 + WK1 - 1.

WA ← WK3 + WK1 - 1.

応答門, F&DC ← WK1 (OR) (00000000)

応答門

第10図

